

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

10555685

Basic Patent (No,Kind,Date): JP 4144139 A2 920518 <No. of Patents: 001>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): OKA HIDEAKI

IPC: *H01L-021/336; H01L-021/02; H01L-021/20; H01L-021/268; H01L-029/784

CA Abstract No: 117(26)262911C

Derwent WPI Acc No: C 92-221545

JAPIO Reference No: 160420E000039

Language of Document: Japanese

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|------------|------|--------|-------------|------|----------------|
| JP 4144139 | A2 | 920518 | JP 90266957 | A | 901004 (BASIC) |

Priority Data (No,Kind,Date):

JP 90266957 A 901004

03779039 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 04-144139 [JP 4144139 A]

PUBLISHED: May 18, 1992 (19920518)

INVENTOR(s): OKA HIDEAKI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 02-266957 [JP 90266957]

FILED: October 04, 1990 (19901004)

INTL CLASS: [5] H01L-021/336; H01L-021/02; H01L-021/20; H01L-021/268;
H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R097 (ELECTRONIC MATERIALS
-- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1259, Vol. 16, No. 420, Pg. 39,
September 04, 1992 (19920904)

ABSTRACT

PURPOSE: To form larger particle size, high crystallization polycrystalline silicon with excellent responsibility by forming a polycrystalline semiconductor layer containing silicon as a chief ingredient on an insulating amorphous material and raising the temperature of at least the polycrystalline semiconductor layer to a predetermined temperature higher than the highest temperature in the process.

CONSTITUTION: A polycrystalline silicon layer 102 is formed on an insulating amorphous material 101 composed of an insulating amorphous substrate such as glass amorphous material layer such as SiO(sub 2). The polycrystalline silicon layer 102 is heat-treated at a predetermined temperature higher than that in the above process. The optimum heat-treatment temperature ranges in a region 700 deg.C-1200 deg.C. Then, after the polycrystalline silicon layer 102 is patterned into a predetermined shape, a gate insulating film 103 is formed. Further, there are formed a gate electrode 105, an interlayer insulating film film 106, a contact hole 107, and a wiring 104.

⑫ 公開特許公報(A) 平4-144139

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月18日

H 01 L 21/336
21/02
21/20
21/268
29/784

B 8518-4M
9171-4M
Z 7738-4M

9056-4M H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 平2-266957

⑱ 出 願 平2(1990)10月4日

⑲ 発 明 者 岡 秀 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑳ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉑ 代 理 人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1)

(a) 絶縁性非晶質材料上にシリコンを主体とする多結晶半導体層を形成する工程、

(b) 工程(a)のプロセス最高温度より高い所定の温度まで少なくとも該多結晶半導体層を昇温する工程を少なくとも有することを特徴とする半導体装置の製造方法、

2) 前記工程(b)の所定の温度が700℃～1200℃であることを特徴とする請求項1記載の半導体装置の製造方法、

3) 工程(b)の熱処理をエキシマレーザで行ったことを特徴とする請求項1～請求項2記載の半導体装置の製造方法、

4)

(a) 絶縁性非晶質材料上にシリコンを主体とする多結晶半導体層を形成する工程、

(b) 該多結晶半導体層中もしくは該多結晶半導体層に接して、不純物をドーブした半導体領域を形成する工程

(c) 工程(a)のプロセス最高温度より高い所定の温度まで少なくとも該多結晶半導体層及び不純物をドーブした半導体領域を昇温する工程を少なくとも有することを特徴とする半導体装置の製造方法、

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に係わり、特に、絶縁性非晶質材料上に半導体素子を形成する製造方法に関する。

〔従来の技術〕

ガラス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みが成されている。

近年、大型で高解像度の液晶表示パネルや、高速で高解像度の密着型イメージセンサや三次元IC等へのニーズが高まるにつれて、上述のような

絶縁性非晶質材料上の高性能な半導体素子の実現が待望されている。

絶縁性非晶質材料上に薄膜トランジスタ(TFT)を形成する場合を例にとると、(1)プラズマCVD法等で形成した非晶質シリコンを素子材としたTFT、(2)CVD法等で形成した多結晶シリコンを素子材としたTFT、(3)熔融再結晶化法等で形成した単結晶シリコンを素子材としたTFT等が検討されている。

ところが、これらのTFTのうち非晶質シリコンもしくは多結晶シリコンを素子材としたTFTは、単結晶シリコンを素子材とした場合に比べてTFTの電界効果移動度が大幅に低く(非晶質シリコンTFT $< 1 \text{ cm}^2/\text{V} \cdot \text{sec}$ 、多結晶シリコンTFT $\sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$)、高性能なTFTの実現は困難であった。

一方、レーザビーム等による熔融再結晶化法は、未だに十分に完成した技術とは言えず、また、液晶表示パネルの様に、大面積に素子を形成する必要がある場合には技術的困難が特に大きい。

る多結晶半導体層を形成する工程、

(b) 工程(a)のプロセス最高温度より高い所定の温度まで少なくとも該多結晶半導体層を昇温する工程を少なくとも有することを特徴とする。

2) 前記工程(b)の所定の温度が700℃～1200℃であることを特徴とする。

3) 工程(b)の熱処理をエキシマレーザで行ったことを特徴とする。

4)

(a) 絶縁性非晶質材料上にシリコンを主体とする多結晶半導体層を形成する工程、

(b) 該多結晶半導体層中もしくは該多結晶半導体層に接して、不純物をドーブした半導体領域を形成する工程

(c) 工程(a)のプロセス最高温度より高い所定の温度まで少なくとも該多結晶半導体層及び不純物をドーブした半導体領域を昇温する工程を少なくとも有することを特徴とする。

[実施例]

第1図は、本発明の実施例における半導体装置

そこで、絶縁性非晶質材料上に高性能な半導体素子を形成する簡便かつ実用的な方法として、大粒径の多結晶シリコンを低温で固相成長させる方法が注目され、研究が進められている。(Thin Solid Films 100 (1983) p.227, JJAP Vol.25 No.2 (1986) p.L121)

[発明が解決しようとする課題]

しかし、従来の固相成長法では、650℃程度以下の低温プロセスで、大粒径で結晶化率の高いpoly-Si膜を形成することができず、TFTの電界効果移動度が $100 \text{ cm}^2/\text{V} \cdot \text{s}$ を上回る高性能なTFTを形成することは困難であった。そこで、本発明はより簡便かつ実用的な方法で、大粒径で結晶化率が高い多結晶シリコンを再現性良く形成し、高性能な半導体素子を製造する方法を提供するものである。

[課題を解決するための手段]

本発明の半導体装置の製造方法は、

1)

(a) 絶縁性非晶質材料上にシリコンを主体とす

の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第1図において、(a)は、ガラス、石英等の絶縁性非晶質基板、もしくは SiO_2 等の絶縁性非晶質材料層等の絶縁性非晶質材料101上に多結晶シリコン層102を形成する工程である。多結晶シリコン層の形成条件の一例としては、(1) LPCVD法で560℃～630℃程度で多結晶シリコン層(結晶化率は必ずしも100%ではない)を膜厚100Å～2000Å程度形成する方法、(2) LPCVD法で500℃～560℃程度で非晶質シリコン(微結晶シリコンの場合もある)を膜厚100Å～2000Å程度成膜した後、550℃～650℃程度で2～20時間程度熱処理し、固相成長させ多結晶化する方、(3) PCVD法で100℃～350℃程度(特に、150℃～250℃程度が固相成長後の結晶粒径が大きく、その結果、移動度が大きくなる等の理由で望ましい)で非晶質シリコン(微結晶シリコンの場合もある)

を膜厚100Å～2000Å程度成膜した後、550℃～650℃程度で2～20時間程度熱処理し、固相成長させ多結晶化する方法等がある。ただし、多結晶シリコンの形成方法はこれに限定されるものではない。

(b)は、工程(a)より高い所定の熱処理温度で該多結晶シリコン層102を熱処理する工程である。熱処理温度としては、700℃～1200℃程度の間に最適値が存在する。但し、基板としてガラスを用いた場合は、上述のような高温にさらすことはできないため、エキシマレーザ等の短波長光を照射することで半導体の表面層近傍のみを上述の温度まで昇温させ、半導体層と基板界面近傍は600℃程度以下になるように、照射強度及び照射時間を最適化することが重要である。一例としては、XeClエキシマレーザ(波長308nm)を用い、照射強度0.1～1.0 J/cm²程度で1～10パルス(1パルス数十ns)照射する等の条件が上述の条件を満たす。

(c)は、多結晶シリコン層102を所定の形状にバ

ターン形成後、ゲート絶縁膜103を形成する工程である。ゲート絶縁膜の形成方法としては、熱酸化法で800℃～1200℃程度の高温で形成する方法(高温プロセス)と、CVD法、プラズマCVD法、ECR-CVD法、光CVD法、スパッタ法等で650℃程度以下の低温で形成する方法(低温プロセス)がある。当然のことながら、基板としてガラスを用いた場合は、低温プロセスを採用しなければならない。

(d)は、半導体素子を形成する工程である。図において、103はゲート絶縁膜、104はゲート電極、105はソース・ドレイン領域、106は層間絶縁膜、107はコンタクト穴、108は配線を示す。TFT形成法の一例としては、ゲート電極を形成後、ソース・ドレイン領域をイオン注入法、熱拡散法、プラズマドーピング法、イオンシャワードーピング法等で形成し、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法等で形成する。続いて、結晶粒界に存在する欠陥密度が低減する目的で、水素ガスもしくはアンモニアガス等を少なくとも含

む気体のプラズマ雰囲気中にさらし、該層間絶縁膜にコンタクト穴を開け、配線を形成することでTFTが形成される。基板としてガラスを用いた場合のソース・ドレイン領域の形成方法は、イオン注入法やイオンシャワードーピング法等でボロン、リン等の不純物を打ち込んだ後、600℃程度の低温で数時間～数十時間熱処理することで不純物の活性化を行う方法や、レーザアニール法で不純物を活性化する方法や、ドーピングガスをレーザで分解し熱拡散させるレーザドーピング法が有効である。又、工程(b)の熱処理を行う前に、ゲート絶縁膜、ゲート電極を形成し、イオンインプラ法等で不純物を打ち込みを行い、引き続いて、工程(b)のレーザアニール、ランプアニール、炉アニール等の高温熱処理を行い、不純物の活性化と多結晶シリコンの結晶化率の向上、twin等の欠陥の低減等の結晶性の向上を同一工程で行う方法もあり、より簡便なプロセスで高性能なTFTを形成することができる。従来のレーザアニールのみで多結晶シリコンを形成する方法では、

非晶質シリコンにA₁レーザ、エキシマレーザ等を照射し、該非晶質シリコン層を熔融し、再結晶化することで、多結晶シリコンを形成していた。そのため、従来の方法をこのプロセスに用いた場合は、多結晶シリコン102を熔融させる際、同時にソース・ドレイン領域105も同時に熔融されるために、不純物が液相中を拡散し、チャンネル領域まで容易に拡散してしまうため、正常な特性のTFTを再現性良く製造することが困難であった。一方、本発明では、レーザアニール等の高温処理は、熔融再結晶化するのが目的ではなく、高温処理で結晶性の向上を図るのが目的であるため、多結晶シリコンを熔融させる必要は必ずしも無く、固相反応で結晶性の向上を図ることもできる。従って、従来の方法で問題となった不純物の液相中の異常拡散も無く、高性能なTFTを再現良く形成することができる。

第2図は、本発明の実施例における半導体装置の製造工程図の別の一例である。尚、第2図では半導体素子として薄膜トランジスタ(TFT)を

形成する場合を例としている。

第2図において、(a)は、ガラス、石英等の絶縁性非晶質基板、もしくは SiO_2 等の絶縁性非晶質材料層等の絶縁性非晶質材料201上にソース・ドレイン領域を成す不純物をドーブした多結晶シリコン層202を形成し、所定の形状にパターン形成する工程である。多結晶シリコンの形成条件の一例としては、(1)LP CVD法で560℃～630℃程度でボロン、リン等の不純物を含んだ多結晶シリコン層を膜厚100Å～2500Å程度形成する方法、(2)LP CVD法で500℃～560℃程度でボロン、リン等の不純物を含んだ非晶質シリコン(微結晶シリコンの場合もある)を膜厚100Å～2500Å程度成膜した後、550℃～650℃程度で2～20時間程度熱処理し、固相成長させ多結晶化する方法、(3)PCVD法で100℃～350℃程度(特に、150℃～250℃程度が固相成長後の結晶粒径が大きく、その結果、抵抗率が小さくなる等の理由で望ましい)でボロン、リン等の不純物を含んだ非晶

質シリコン(微結晶シリコンの場合もある)を膜厚100Å～2500Å程度成膜した後、550℃～650℃程度で2～20時間程度熱処理し、固相成長させ多結晶化する方法等がある。ただし、多結晶シリコンの形成方法はこれに限定されるものではない。

(b)は、チャンネル領域を成す多結晶シリコン層203を形成する工程である。多結晶シリコン層の形成条件の一例としては、(1)LP CVD法で560℃～630℃程度で多結晶シリコン層(結晶化率は必ずしも100%ではない)を膜厚100Å～2000Å程度形成する方法、(2)LP CVD法で500℃～560℃程度で非晶質シリコン(微結晶シリコンの場合もある)を膜厚100Å～2000Å程度成膜した後、550℃～650℃程度で2～20時間程度熱処理し、固相成長させ多結晶化する方法、(3)PCVD法で100℃～350℃程度(特に、150℃～250℃程度が固相成長後の結晶粒径が大きく、その結果、移動度が大きくなる等の理由で望ましい)で

非晶質シリコン(微結晶シリコンの場合もある)を膜厚100Å～2000Å程度成膜した後、550℃～650℃程度で2～20時間程度熱処理し、固相成長させ多結晶化する方法等がある。ただし、多結晶シリコンの形成方法はこれに限定されるものではない。また、工程(a)で非晶質シリコンを成膜後、固相成長をさせずに、引き続きチャンネル領域を成すシリコン層を成膜し、両方を同時に固相成長させ、多結晶化することもできる。(c)は、工程(b)より高い所定の熱処理温度で該多結晶シリコン層203を熱処理する工程である。熱処理温度としては、700℃～1200℃程度の間に最適値が存在する。但し、基板としてガラスを用いた場合は、上述のような高温にさらすことはできないため、エキシマレーザ等の短波長光を照射することで半導体の表面層近傍のみを上述の温度まで昇温させ、半導体層と基板界面近傍は600℃程度以下になるように、照射強度及び照射時間を最適化することが重要である。一例としては、XeClエキシマレーザ(波長 308 nm)

m)を用い、照射強度0.1～1.0 J/cm²程度で1～10パルス(1パルス数十ns)照射する等の条件が上述の条件を満たす。従来のレーザーアニールのみで多結晶シリコンを形成する方法では、非晶質シリコンにArレーザ、エキシマレーザ等を照射し、該非晶質シリコン層を溶融し、再結晶化することで、多結晶シリコンを形成していた。そのため、多結晶シリコン203を溶融させる際、同時にソース・ドレイン領域を成す不純物をドーブした多結晶シリコン層201も同時に溶融されるために、不純物が液相中を拡散し、チャンネル領域まで容易に拡散してしまうため、正常な特性のTFTを再現性良く製造することが困難であった。一方、本発明では、レーザーアニール等の高温処理では、溶融再結晶化するのが目的であるため、多結晶シリコンを溶融させる必要は必ずしも無く、固相反応で結晶性の向上を図ることもできる。従って、従来の方法で問題となった不純物の液相中の異常拡散も無く、高性能なTFT

Tを再現良く形成することができる。

(d)は、ゲート絶縁膜204を形成する工程である。ゲート絶縁膜の形成方法としては、熱酸化法で900℃～1200℃程度の高温で形成する方法(高温プロセス)と、CVD法、プラズマCVD法、ECR-CVD法、光CVD法、スパッタ法等で650℃程度以下の低温で形成する方法(低温プロセス)がある。当然のことながら、基板としてガラスを用いた場合は、低温プロセスを採用しなければならない。

(e)は、半導体素子を形成する工程である。202はソース・ドレイン領域、203はチャンネル領域を成す多結晶シリコン層、204はゲート絶縁膜、205はゲート電極、206は層間絶縁膜、207はコンタクト穴、208は配線を示す。TFT形成法の一例としては、ゲート電極をLPCVD法等で多結晶シリコンを素子材として形成後、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法等で形成し、続いて水素化を行う。さらに、該層間絶縁膜にコンタクト穴を開け、配線を形成することでTFT

合もある)を膜厚100Å～2000Å程度成膜した後、550℃～650℃程度で2～20時間程度熱処理し、固相成長させ多結晶化する方法。

(3)PCVD法で100℃～350℃程度(特に、150℃～250℃程度が固相成長後の結晶粒径が大きく、その結果、移動度が大きくなる等の理由で望ましい)で非晶質シリコン(微結晶シリコンの場合もある)を膜厚100Å～2000Å程度成膜した後、550℃～650℃程度で2～20時間程度熱処理し、固相成長させ多結晶化する方法等がある。ただし、多結晶シリコンの形成方法はこれに限定されるものではない。

(d)は多結晶シリコン層308を工程(c)より高い所定の温度で熱処理する工程である。熱処理温度としては、700℃～1200℃程度の間に最適値が存在する。但し、下層部の半導体素子の不純物の再分布等を防ぐためには、RTAやエキシマレーザ等の短波長光を照射することで半導体の表面層近傍のみを上述の温度まで昇温させるように、照射強度及び照射時間を最適化する方法が有

が形成される。

第3図は、本発明の実施例における半導体装置の製造工程図の別の一例である。尚、第3図では3次元トランジスタ(スタック型CMOS)への簡単な応用例を示す。

第3図において、(a)は、シリコン基板301にp-well領域302を形成し、LOCOS酸化法で素子分離領域303を形成する工程である。

(b)は、ゲート絶縁膜304を形成後、ゲート電極305をpoly-Si等を素子材とし形成後、所定の形状にパターン形成し、ソース・ドレイン領域を成すn⁺拡散層306を形成する工程である。

(c)は、ゲート絶縁膜を成す絶縁層307を形成し、コンタクトホールを開け、多結晶シリコン層308を形成する工程である。成膜条件の一例としては、

(1)LPCVD法で560℃～630℃程度で多結晶シリコン層(結晶化率は必ずしも100%ではない)を膜厚100Å～2000Å程度形成する方法、(2)LPCVD法で500℃～560℃程度で非晶質シリコン(微結晶シリコンの場

効である。一例としては、XeClエキシマレーザ(波長308nm)を用い、照射強度0.1～1.0J/cm²程度で1～10パルス(1パルス数十ns)照射する等の条件が上述の条件を満たす。

(e)は、poly-Si層にソース・ドレイン領域を成すp⁺拡散層310を形成する工程である。p⁺拡散層310の形成方法としては、イオンインプラ法等で不純物を打ちこんだ後、700℃～900℃程度のアニールを30分～数時間行う方法の他、工程(d)の熱処理を行う前に、イオンインプラ法等で不純物を打ち込み、引き続いて、レーザーアニール、ランプアニール、炉アニール等で高温の熱処理を行い、不純物の活性化と多結晶シリコンの結晶化率の向上、twin等の欠陥の低減等の結晶性の向上を同一工程で行う方法もあり、より簡便なプロセスで高性能な3次元ICを形成することができる。従来のレーザーアニールのみで多結晶シリコンを形成する方法では、非晶質シリコンにArレーザー、エキシマレーザー等を照

射し、該非晶質シリコン層を熔融し、再結晶化することで、多結晶シリコンを形成していた。そのため、多結晶シリコン308を熔融させる際、同時にソース・ドレイン領域310も同時に熔融されるために、不純物が液相中を拡散し、チャンネル領域まで容易に拡散してしまうため、正常な特性のTFTを再現性良く製造することが困難であった。一方、本発明では、レーザーアニール等の高温処理は、熔融再結晶化するのが目的ではなく、高温処理で結晶性の向上を図るのが目的であるため、多結晶シリコンを熔融させる必要は必ずしも無く、固相反応で結晶性の向上を図ることもできる。従って、従来の方法で問題となった不純物の液相中の異常拡散も無く、高性能なTFTを簡便なプロセスで再現良く形成することができる。尚、本実施例は、三次元ICへの最も簡単な応用例として、スタック型CMOSの例を示したが、本発明はこれに限定されるものでないことは言うまでもない。

第1図～第3図にその実施例の一部を示した本

めることが、重要である。

熱処理方法としては、アニール炉で窒素若しくはAr等の不活性ガス雰囲気中で、例えば850℃ならば1～2時間程度、1000℃ならば10～20分程度熱処理する方法の他に、ハロゲンランプ・アークランプ・赤外線ランプ・キセノンランプ・水銀ランプ等を用いたランプアニール、エキシマレーザ・Arレーザ・He-Neレーザ等を用いたレーザアニール等の方法もある。中でも、エキシマレーザを用いたレーザアニールは、半導体層の表面付近のみを加熱できるため、基板として安価なガラス基板を用いた場合でも用いることができ、3次元ICでは下層部の素子に悪影響を与えずに上層部の素子の結晶性を改善することができる。その結果、ゲート絶縁膜を前述の低温プロセスで形成し、ソース・ドレイン領域も600℃程度以下の低温プロセス（例えば、イオン注入法でB、P等の不純物を打ち込んだ後、600℃程度の熱処理を数時間～数十時間行い活性化する等の方法）で形成すれば、ガラス基板上に高性能

発明は、550℃～650℃程度以下の低温で固相成長もしくは成膜した後で、それよりも高い温度で熱処理する点が重要である。その理由を以下に述べる。

固相成長法で結晶成長させた多結晶シリコンやLPCVD法等で成膜したas-depoの多結晶シリコンの結晶化率は必ずしも高くない。例えば、LPCVD法で500℃～560℃程度の比較的低温で形成したシリコン膜（非晶質シリコン、若しくは非晶質相中に微少な結晶領域が存在する微結晶シリコンになっている。）を熱処理で固相成長させた場合は、その結晶化率は、50%～85%程度と低い。そこで、工程(c)で工程(b)より高い温度で熱処理することで、該多結晶シリコン層の未結晶化領域を結晶化させる工程を設けることが重要となる。その結果、結晶化率を99%以上に高めることができる。特に、ゲート絶縁膜を前述の低温プロセスで形成する場合には、熱酸化のような高温の熱処理が後工程で加わらないため、本発明に基づく熱処理を行い結晶化率を高

な半導体素子を形成することができ、その効果は極めて大きい。尚、550℃～650℃程度で固相成長させた後でレーザアニールした場合と、固相成長をさせずにas-depoの膜をレーザアニールした場合とでは、固相成長させた膜の方が結晶粒径が大きく（固相成長+レーザアニール：1μm以上、レーザアニールのみ：<2000Å）、結晶化率も高い（レーザアニールのみでは基板近傍の半導体層の結晶化率が遅く、下部絶縁膜中の不純物（酸素等）が多結晶シリコン中に取り込まれる等の問題もある。特に第3図に示したボトムゲート型TFTでは特性の大きな劣化につながる）という大きな効果がある。

さらに、LPCVD法で形成した膜を固相成長させた場合の成膜温度と工程(c)の熱処理の有無にも重要な相関があることを見いだした。即ち、LPCVD法で高温（例えば、580℃～610℃程度）で形成したシリコン層と、低温（例えば、500℃～550℃程度）で形成したシリコン層を比べると、工程(c)の熱処理が無い場合は、

低温で形成したシリコン層の方が結晶粒径は大きいものの、結晶化率が低く、TFTの電界効果移動度も小さかった。しかし、工程(c)の熱処理を行った場合は、逆に低温で形成したシリコン層の方が結晶粒径が大きく、結晶化率も大きく、TFTの電界効果移動度も大きかった。尚、この値は、LPCVD法で580℃～610℃程度の高温で形成した膜では得られない値であった。

これは現在のところ以下に述べる理由によると考えられる。(1)低温で形成した膜の方は、非晶質シリコンもしくは非晶質相中に微少な結晶領域が存在する微結晶シリコンになっている。従って、高温で形成した膜と比べて、固相成長時の多結晶核発生速度が小さく、大粒径の多結晶シリコンを固相成長によって形成できる。(2)ただし、低温で形成した膜は、固相成長後の非晶質相の割合が多く、結晶化率を高める為に高温の熱処理が必要である。と考えられる。従って、本発明はCVD法で形成した膜に限らず、蒸着法、プラズマCVD法、EB蒸着法、MBE法、スパッタ法、

CVD法等で非晶質シリコンもしくは微結晶シリコンを成膜した場合や、微結晶シリコンもしくは多結晶シリコン等をプラズマCVD法、CVD法、蒸着法、EB蒸着法、MBE法、スパッタ法等で形成後、Si, Ar, B, P, He, Ne, Kr, H等の元素をイオン打ち込みして、該微結晶シリコンもしくは多結晶シリコン等を完全もしくは一部を非晶質化する等の方法で形成した場合にも有効である。中でも特に、as-depoの膜の非晶質相の割合が高く、多結晶核発生速度が小さい(即ち、固相成長法で大粒径の多結晶シリコンを形成し易い)膜ほど、本発明はその効果が大きい。

本発明に基づく半導体装置の製造方法を用い、低温プロセスで形成した多結晶シリコンTFT(Nチャンネル)の電界効果移動度は、 $150 \sim 200 \text{ cm}^2/\text{V} \cdot \text{sec}$ 程度であり熱酸化法で形成したTFTとほぼ同等の特性が得られた。

又、本発明は前述の通り低温プロセスに用いた場合、その効果が最も大きい。高温プロセスに用いた場合も有効である。即ち、未結晶化領域の

多い多結晶シリコンを熱酸化すると、結晶領域に比べて酸化速度が大きい未結晶化領域が先に酸化される。その結果、結晶粒界に沿って酸化膜が形成され、移動度が低下するという現象を生ずることがあった。しかし、本発明のアニール方法を用いると、熱酸化前の結晶化率を十分高め、前述の結晶粒界部に沿った酸化を抑えることができるため、その効果は極めて大きい。

また、チャンネル領域に不純物をドーピングして、 V_{th} (しきい値電圧)を制御する手段も極めて有効である。固相成長法で形成した多結晶シリコンTFTでは、Nチャンネルトランジスタがデプレッション方向に V_{th} がシフトし、Pチャンネルトランジスタがエンハンスメント方向にシフトする傾向がある。又、上記TFTを水素化した場合、その傾向がより顕著になる。そこで、チャンネル領域に $10^{15} \sim 10^{18}/\text{cm}^3$ 程度の不純物をドーピングすると、 V_{th} のシフトを抑えることができる。例えば、第1図において、ゲート電極を形成する前に、イオン注入法等でB(ボロン)

等の不純物を $10^{11} \sim 10^{13}/\text{cm}^2$ 程度のドーザ量で打ち込む等の方法がある。特に、ドーザ量が前述の値程度であれば、Pチャンネルトランジスタ、Nチャンネルトランジスタ共オフ電流が最小になるように、 V_{th} を制御することができる。従って、CMOS型のTFT素子を形成する場合においても P_{ch} , N_{ch} を選択的にチャンネルドープせずに、全面を同一の工程でチャンネルドープすることもできる。

尚、本発明は、第1図の実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に応用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を多結晶半導体を素子材として形成する場合にきわめて有効な製造方法となる。

[発明の効果]

以上述べたように、本発明によればより簡便な製造プロセスで大粒径で結晶化率の高い多結晶シリコン膜を形成することが出来る。その結果、絶

縁性非晶質材料上に高性能な半導体素子を形成することが可能となり、大型で高解像度の液晶表示パネルや高速で高解像度の密着型イメージセンサや三次元IC等を容易に形成できるようになった。

また、本発明は、第1図の実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に応用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を多結晶半導体を素子材として形成する場合にきわめて有効な製造方法となる。

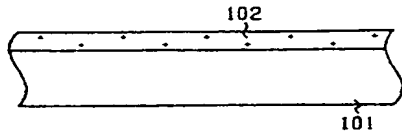
4. 図面の簡単な説明

第1図(a)～(d)は本発明の実施例における半導体装置の製造工程図である。

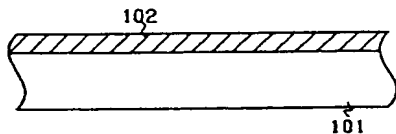
第2図(a)～(e)は本発明の実施例における半導体装置の製造工程図である。

第3図(a)～(e)は本発明の実施例における半導体装置の製造工程図である。

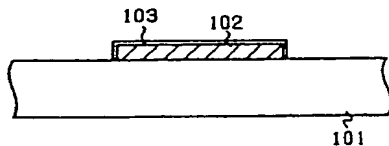
101,201 …… 絶縁性非晶質材料



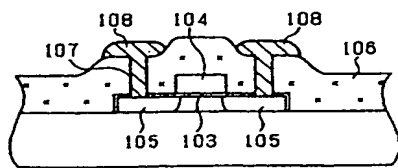
第1図(a)



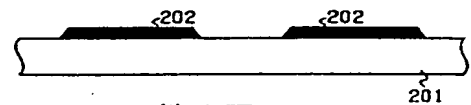
第1図(b)



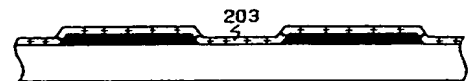
第1図(c)



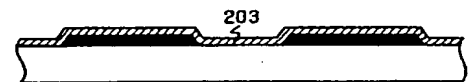
第1図(d)



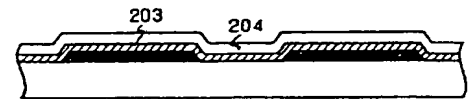
第2図(a)



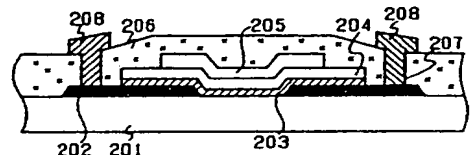
第2図(b)



第2図(c)



第2図(d)

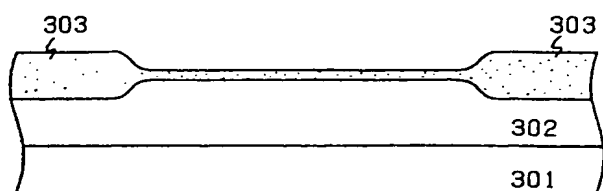


第2図(e)

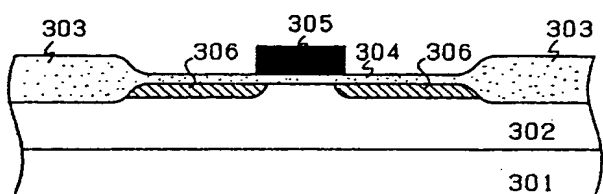
以 上

出願人セイコーエプソン株式会社

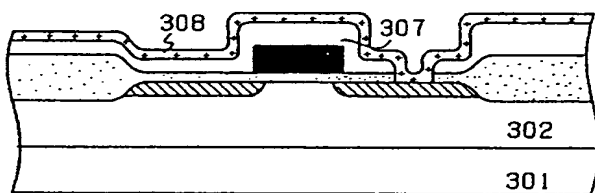
代理人弁理士鈴木喜三郎(他1名)



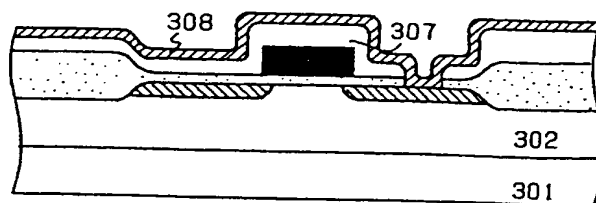
第3図(a)



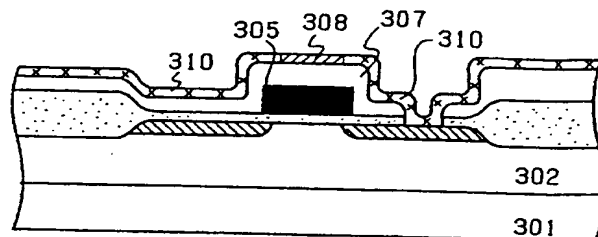
第3図(b)



第3図(c)



第3図(d)



第3図(e)